

时钟脉冲上升沿时间对分频电路影响的 实验研究与探讨

邓己媛, 黎长风, 吴远沪, 陈松

(湖南理工学院 信息科学与工程学院, 湖南 岳阳 414006)

摘要: 信号上升时间或下降时间对信号完整性的影响研究往往发生在高速系统中, 笔者在中低速的模数接口分频电路中发现时钟脉冲信号上升沿时间直接决定了电路能否正常分频, 提出除电平匹配和负载匹配是模数接口电路中通常考虑因素外, 时钟信号沿陡峭程度也是电路正常工作不容忽视的输入影响因素. 并对此进行了实验研究和探讨, 提出了可行的解决方案.

关键词: 时钟信号; 上升沿时间; 电平匹配; 模数接口; 影响因素

中图分类号: TN11-34

文献标识码: A

文章编号: 1672-5298(2018)01-0026-04

Experimental Research and Discussion on the Influence of Clock Pulse Rising Time on Frequency Division Circuit

DENG Jiyuan, LI Changfeng, WU Yuanlu, CHEN Song

(College of Information Science and Engineering, Hunan Institute of Science and Technology, Yueyang 414006, China)

Abstract: Signal rise time or fall time on signal integrity studies often occur in high-speed systems. The author is in the low-speed analog-digital interface circuit found that the rising edge of the clock pulse signal directly determines the frequency circuit can be normal, and for the first time, in addition to the level matching and load matching are the common factors in the analog-to-digital interface circuit, the steepness of the clock signal is also one of the input factors that can not be ignored in the normal operation of the circuit. The article conducts in-depth experimental study and discussion, and put forward a feasible solution.

Key words: clock pulse; rise time; level match; analog-to-digital interface circuit; factor

0 引言

高速系统中信号上升时间或下降时间对信号完整性有显著影响^[1,2], 而中低速系统中数字芯片因其逻辑关系明确, 对输入参数要求定义清晰, 故在满足数据手册要求情况下, 只要电平匹配和负载匹配即能正常使用^[3]. 而笔者在实训 2017 年大学生电子竞赛国赛综测题复合信号发生器波形产生电路遇到的 SN74LS74 四分频中发现, 除电平匹配之外, 模数电接口中时钟信号上升沿陡峭程度也会对电路功能产生直接影响, 并对此进行了实验研究和探讨.

1 问题的提出

湖南理工学院在 2017 年全国大学生电子竞赛获 4 个全国一等奖后, 将综测真题稍作修改用来实训创新基地学生, 发现模拟输出方波信号不能正确被分频. 具体题目如下:

用指定的芯片双运放 LM358(原题应为双运放 RD2302)和一片 SN74LS74 芯片制作一个复合信号发生器. 设计制作一个方波产生器输出方波, 将方波四分频后再与三角波同相叠加输出一个复合信号, 再经滤波器输出一个正弦波信号. 电路单 5V 电源供电, 要求产生波形无明显失真, 方波 $V_{O1PP} = 3V$, 5% 的误差, 输

收稿日期: 2018-01-03

基金项目: 湖南省科技计划项目(2016TP1021); 2017 年湖南省大学生研究性学习和创新性实验计划项目(湘教通[2017]205 号)

作者简介: 邓己媛(1980-), 女, 湖南郴州人, 硕士, 讲师. 主要研究方向: 应用电子技术

出频率 4kHz, 正负 100Hz 误差, 输出电阻 $R_O=10K$ 欧姆. 其他部分电路具体参数略.

设计过程如下:

方波产生器可以采用单运放制作方波发生器, 也可以采用 RC 正弦波振荡电路产生正弦波, 再经过比较器产生方波. 因为后者需要两个运放, 电路较为复杂, 故选取方案一. 原理电路如图 1 所示, 具体原理、公式及计算见文[4].

可求得输出方波频率:

$$f = 1/T = 2R_{29}C_{14} \ln(1 + 2R_{18}/R_{19}).$$

调节电位器 R_{18} 可以调节门限电压, 从而微调输出方波波形占空比, 改变积分电位器 R_{29} 可以改变方波频率输出. 最终输出的 4kHz 方波频率如图 2 所示:

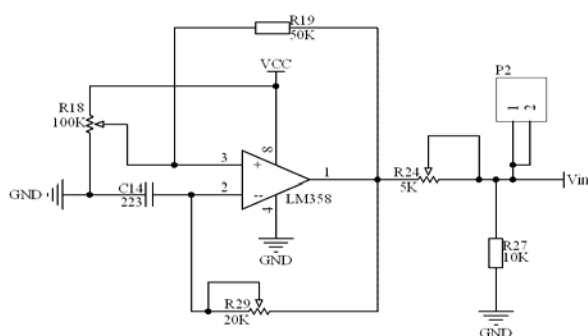


图1 方波产生模块

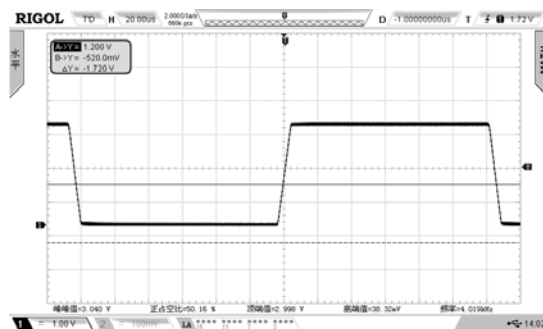


图2 LM358输出方波

直接把产生的方波加入到用双D触发器 SN74LS74 组成的四分频电路, 如图 3 所示, 却未能在其 9 脚检测到正确的四分频波形, 结果如图 4 所示.

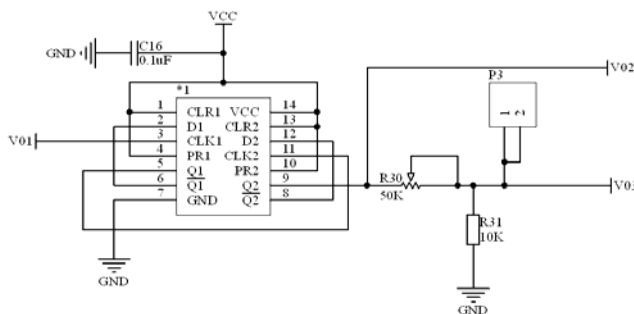


图3 SN74LS74 构成的 4 分频电路



图4 未能正常四分频波形

2 问题的讨论

2.1 考虑电平匹配

74LS74 系列为双通道上升沿触发的触发器(SN74LS74; DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS)内含两个D触发器, 一个触发器可以组成一个2分频电路, 将两个D触发器串联起来, 就可以实现四分频. 输入前级电路产生的 4kHz 的方波未能正常分频, 首先考虑前级模拟电路单 5V 供电下, LM358 输出电平是否满足 SN74LS74 输入电平要求. 实验过程如下:

(1) 使用函数发生器输出重复频率为 4kHz 的方波, 当高电平 V_H 大于 2.8V, 低电平 V_L 小于 0.8V 时, 国产 SN74LS74 即可实现四分频.

实验过程中, 若用固纬电子的 DDS 函数发生器产生的方波从其 SYNC 口输出数字方波时, 能正常分频, 若从 MAIN 输出口输出 5V, 4kHz 无偏置的方波信号, 则经过图 3 电路只有后级的 2 分频. 原因就是

MAIN 输出的是模拟合成的方波, 其值为 -2.5V 到 2.5V 之间, 未满足 SN74LS74 输入高电平最小值为 2.8V 的要求, 导致分频失败, 是典型的模数接口电平幅度不匹配问题。但是, 只要将该方波设置偏置 (offset) 2.5V , 即可正常四分频, 如图 5 所示。

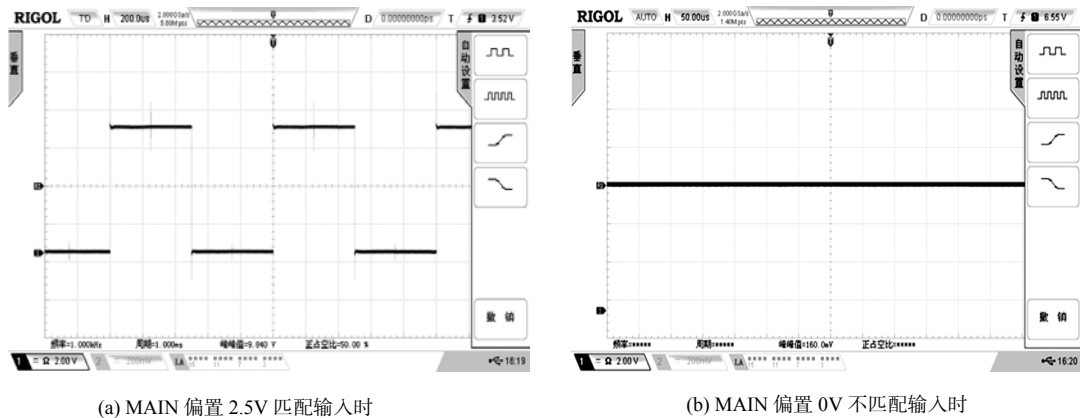


图 5 DDS 函数发生器输出方波四分频结果波形

(2) 对比由 LM358 产生同样幅度的重复频率为 4kHz 的方波信号, 在高电平 V_H 大于 2.8V (可达 3.8V), 低电平 V_L 小于 0.4V (小于 0.8V) 时, 74LS74 分频不正常, 但输出信号有明显的毛刺 (图 4)。

由此可排除是因为模数接口电平幅度不匹配导致的分频失败。

2.2 考虑时钟信号上升沿时间

排除了电平幅度匹配之后, 考虑到用函数发生器数字方波输入能正常分频, 因此尝试用 555 定时器产生方波信号再分频, 发现四分频正常。再次查阅 SN74LS74 数据手册, 发现其中对输入时钟脉冲也只有脉冲宽度 t_w 大于等于 25ns 的要求, 显然运放产生的输出波形是满足条件的, 分频结果不对可能是因为模拟合成和数字产生的两种时钟信号上升沿陡峭程度不同引起的。

为验证我们的猜测, 将图 1 方波发生器中增益带宽积为 1MHz 的 LM358, 更换成增益带宽积为 38MHz 高速器件 OPA2350PA, 发现输出的方波上升沿时间比 LM358 输出短, 输出的方波能被 74LS74 正常四分频, OPA2350PA 输出方波及正常四分频波形如图 6 所示。

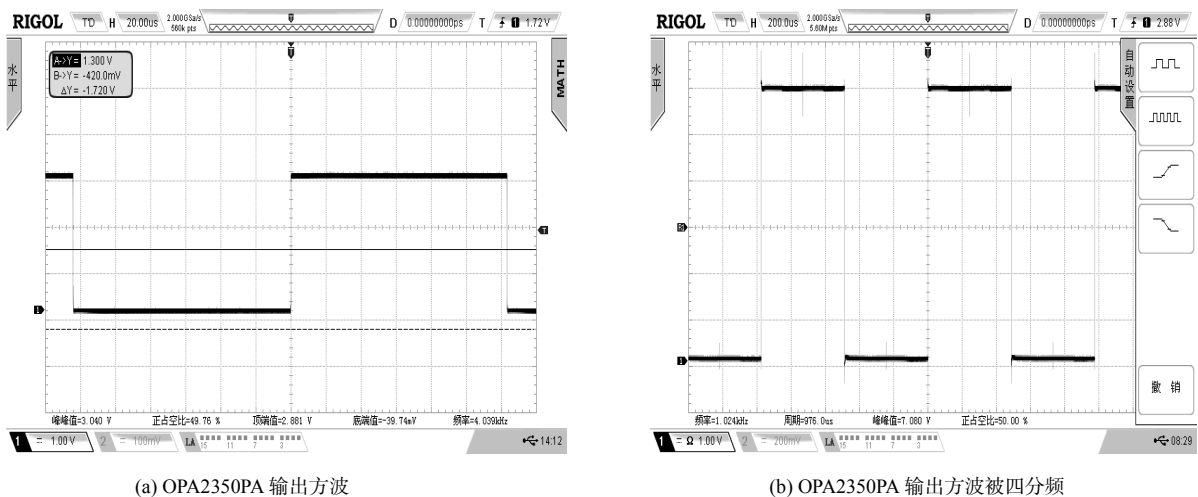
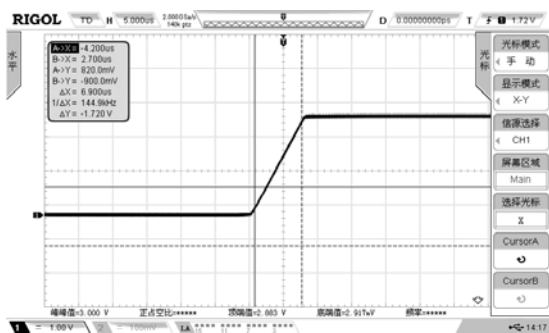
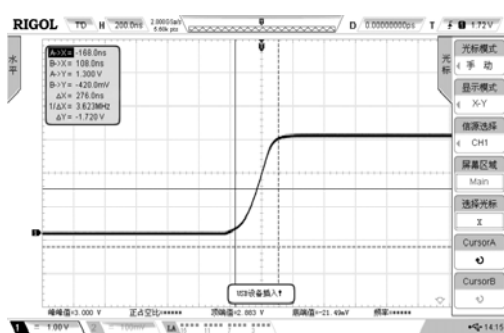


图 6 OPA2350PA 输出方波及四分频波形

再展开两种运放输出方波上升沿, 观测两者方波上升沿时间, 如图 7 所示。显然 OPA2350 输出方波上升沿时间为 276ns , 远小于 LM358 输出方波的 $6.9\mu\text{s}$, 上升沿陡峭的方波能被正确四分频, 这说明中低速系统时钟脉冲上升沿时间也是影响数字系统正常工作的因素。



(a) LM358 输出方波<上升沿时间为 6.9us>



(b) OPA2350 输出方波<上升沿时间为 276ns>

图 7 LM358 和 OPA2350 输出方波对比

2.3 实验验证脉冲上升时间对分频的影响

为验证上升沿时间对分频的影响, 我们在用函数发生器输出重复频率为 4kHz 的 TTL 方波信号能正常分频的基础上, 将 SN74LS74 输入端对地接入 103(0.01uF)电容, 使数字方波上升沿稍微平缓, 发现分频不稳定, 输出频率大于 2 分频, 小于 4 分频. 当输入端对地接入 104(0.1uF)电容时, 不能正常分频, 输出端检测到如图 8 所示波形. 从而再次证实, 在低中速系统中时钟脉冲信号上升时间也是芯片工作正常的输入约束条件之一.

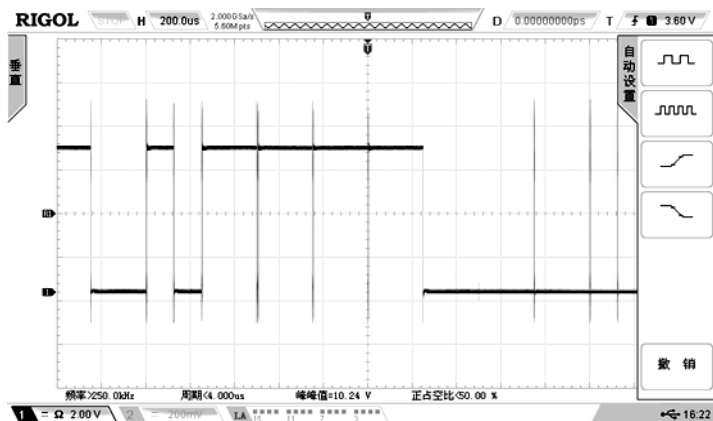


图 8 输入方波经电容平滑后不能正常分频时输出波形

3 问题的解决

由以上分析可知, 除原文数据手册中要求的条件, 输入脉冲上升沿时间也直接影响 74LS74 芯片能否正常分频. 数字方波因脉冲上升/下降沿陡峭, 一般均能被正确分频, 模拟电路输出的方波若未能正常分频, 则可能就是脉冲沿时间过长限制. 问题解决方案有两种:

- (1) 前端的方波产生器采用高增益带宽的高速运放(如 OPA2350PA)来构成.
- (2) 由低端运放产生方波再整形形成数字脉冲.

考虑成本的因素, 实训采用了 NE555 对 LM358 输出方波进行整形, 这样输出的方波即可四分频, 555 整形电路原理如图 9 所示, 整形前后的波形比较图如图 10 所示, 分频结果同图 6(b)所示.

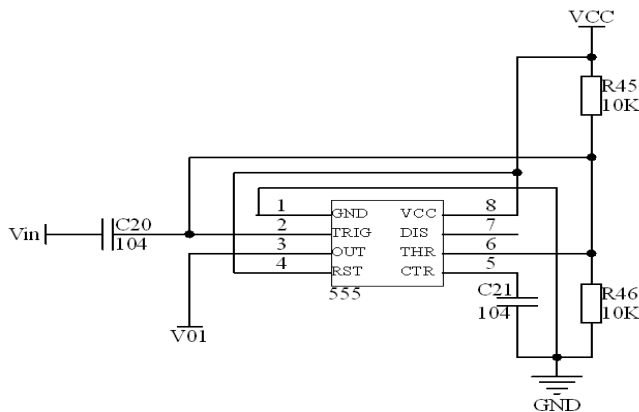


图 9 555 整形电路

(下转第 89 页)

的精神传授给学生;而面对老师“不知”,学生也“不知”的时候,老师更需秉承实事求是的基本原则,提倡共同加强学习,完善自我。

4 结语

教师是人类灵魂的工程师,能够传播真知、启迪心灵、成为学生的领路人、良师益友,是世界上最伟大的事业。学无止境,教也无止境,善待问者如撞钟,叩之以小则小鸣,叩之以大则大鸣,待其从容,然后尽其声。希望广大教师全力以赴去撞钟,用我们的正能量启迪学生最美的心灵。

参考文献

- [1] 张楚廷. 教育学是什么科学[J]. 当代教育, 2016(3): 120~123
- [2] 刘楠, 姜正国. 教学共生[J]. 当代教育 2013(3): 79~83
- [3] 高晓明. 拔尖创新人才概念思考[J]. 中国高教研究, 2011(10): 65~67
- [4] 罗鹏程, 程志君, 蒋平. 在交叉学科课程教学中塑造大学生人格[J]. 高等教育研究学报, 2015(3): 18~21

(上接第 29 页)

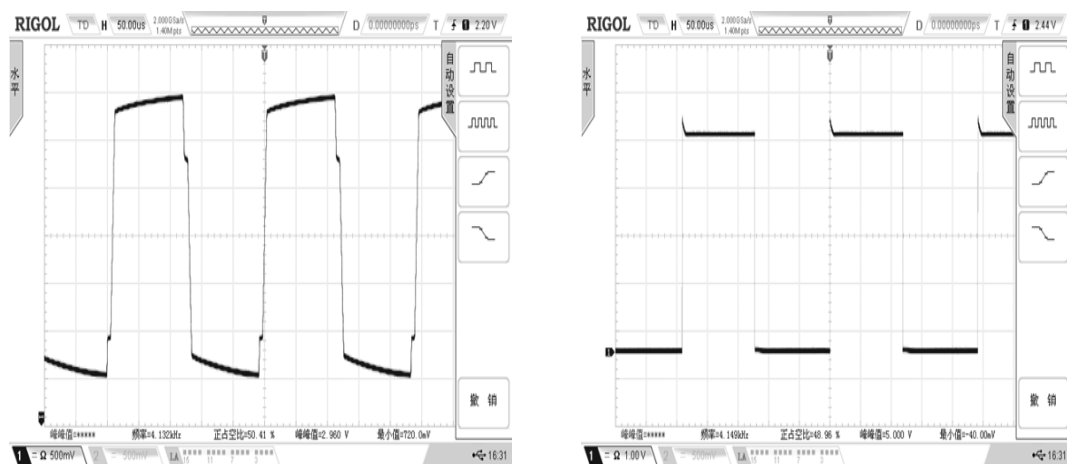


图 10 整形前后波形对比图

4 结论

利用 74LS74 系列芯片对时钟脉冲进行分频是低中速数字系统中常用的简单电路,但遇到前级模拟合成时钟脉冲信号输入时,除电平匹配这一显性影响因素外,产生的时钟脉冲上升沿陡峭程度也是影响电路正常工作的重要隐性因素,可以通过用高速运放器件产生具有陡峭沿的方波或者将模拟输出整形为数字波形(实际仍是减小信号上升沿时间)来解决。这在 7474 系列芯片数据手册中未明确提及,一直以来不为人所理解和重视,也为实际电路调试带来了很大麻烦。本文通过对这一问题进行系列实验,验证了这一结果,以期引起人们的关注。

参考文献

- [1] 周路, 贾宝富. 信号上升或下降时间对告诉电路完整性影响的研究[J]. 现代电子技术, 2011, 34(6): 69~73
- [2] 陈伟, 黄秋元, 周鹏. 高速电路信号完整性的分析与设计[M]. 北京: 电子工业出版社, 2009
- [3] 康华光, 邹寿彬, 秦臻. 电子技术基础数字部分[M]. 第 6 版. 北京: 高等教育出版社, 2013
- [4] 康华光, 陈大钦, 张林. 电子技术基础模拟部分[M]. 第 6 版. 北京: 高等教育出版社, 2013